

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-031920

(43)Date of publication of application : 29.01.2004

(51)Int.Cl.

H01L 21/8247
 G11C 16/02
 G11C 16/04
 G11C 16/06
 H01L 21/8234
 H01L 27/06
 H01L 27/088
 H01L 27/10
 H01L 27/115
 H01L 29/788
 H01L 29/792

(21)Application number : 2003-100506

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.04.2003

(72)Inventor : SHIRATA RIIICHIRO
SUGIMAE KIKUKO

(30)Priority

Priority number : 2002135424

Priority date : 10.05.2002

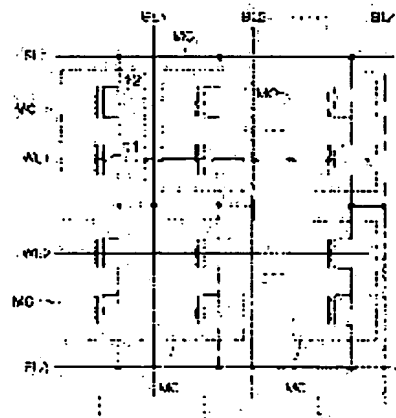
Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form an electrically erasable memory cell with a MOS transistor having a single gate electrode instead of a laminated structure.

SOLUTION: The nonvolatile semiconductor storage device is provided with a selection transistor 11 formed of a MOS transistor having a gate electrode; a bit line BL connected with a drain area of the selection transistor 11; a word line WL connected with the gate electrode of the selection transistor 11; a cell transistor 12 which is provided with a gate electrode that is not connected with both and is in potentially floating state, and of which drain area is connected with a source area of the selection transistor 11, and which is formed of a MOS transistor with the same polarity as the selection transistor 11; and a source line SL connected with a source area of the cell transistor 12.



LEGAL STATUS

[Date of request for examination]

12.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-31920

(P2004-31920A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/8247	H O 1 L 27/10 4 3 4	5 B 0 2 5
G 1 1 C 16/02	H O 1 L 27/10 4 6 1	5 F 0 4 8
G 1 1 C 16/04	H O 1 L 27/10 4 8 1	5 F 0 8 3
G 1 1 C 16/06	G 1 1 C 17/00 6 2 2 Z	5 F 1 0 1
H O 1 L 21/8234	G 1 1 C 17/00 6 3 4 A	
審査請求 有 請求項の数 29 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2003-100506 (P2003-100506)	(71) 出願人	000003078
(22) 出願日	平成15年4月3日 (2003.4.3)		株式会社東芝
(31) 優先権主張番号	特願2002-135424 (P2002-135424)		東京都港区芝浦一丁目1番1号
(32) 優先日	平成14年5月10日 (2002.5.10)	(74) 代理人	100058479
(33) 優先権主張国	日本国 (JP)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		最終頁に続く	

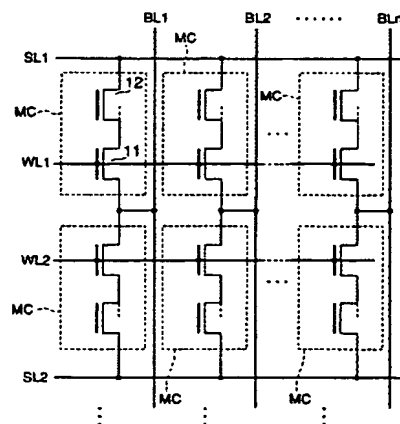
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 電氣的消去が可能であり、メモリセルを積層構造ではない単一のゲート電極を持つMOSトランジスタで構成する。

【解決手段】 ゲート電極を有するMOSトランジスタからなる選択トランジスタ11と、選択トランジスタ11のドレイン領域に接続されたビット線BLと、選択トランジスタ11のゲート電極に接続されたワード線WLと、いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、ドレイン領域が選択トランジスタ11のソース領域に接続され、選択トランジスタ11と同一極性のMOSトランジスタからなるセルトランジスタ12と、セルトランジスタ12のソース領域に接続されたソース線SLとを具備している。

【選択図】 図1



【特許請求の範囲】**【請求項1】**

ゲート電極を有するMOSトランジスタからなる選択トランジスタと、
上記選択トランジスタの一端に接続されたソース線と、
上記選択トランジスタのゲート電極に接続されたワード線と、
いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、一端が上記
選択トランジスタの他端に接続され、上記選択トランジスタと同一極性のMOSトランジ
スタからなるセルトランジスタと、
上記セルトランジスタの他端に接続されたビット線
とを具備したことを特徴とする不揮発性半導体記憶装置。

10

【請求項2】

ゲート電極を有するMOSトランジスタからなる選択トランジスタと、
上記選択トランジスタの一端に接続されたビット線と、
上記選択トランジスタのゲート電極に接続されたワード線と、
いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、一端が上記
選択トランジスタの他端に接続され、上記選択トランジスタと同一極性のMOSトランジ
スタからなるセルトランジスタと、
上記セルトランジスタの他端に接続されたソース線
とを具備したことを特徴とする不揮発性半導体記憶装置。

【請求項3】

前記選択トランジスタと前記セルトランジスタが共にNチャネルのMOSトランジスタで
あることを特徴とする請求項1または2記載の不揮発性半導体記憶装置。

20

【請求項4】

前記選択トランジスタと前記セルトランジスタのゲート電極が同一層の導電層を用いて構
成されていることを特徴とする請求項1ないし3のいずれか1項記載の不揮発性半導体記
憶装置。

【請求項5】

前記セルトランジスタの前記一端もしくは他端側のゲート電極下の基板領域の一部に、セ
ルトランジスタのソース／ドレイン領域と同一導電型の拡散領域が形成されていることを
特徴とする請求項1ないし3のいずれか1項記載の不揮発性半導体記憶装置。

30

【請求項6】

前記セルトランジスタのプログラムを行う際に、前記ソース線には第1の電圧が供給され
、前記ワード線には第2の電圧が供給され、前記ビット線には第3の電圧が供給されるこ
とを特徴とする請求項1ないし5のいずれか1項記載の不揮発性半導体記憶装置。

【請求項7】

前記第1の電圧が接地電圧であり、前記第2の電圧が正極性の電圧であり、前記第3の電
圧が上記第2の電圧とは異なる正極性の電圧であることを特徴とする請求項6記載の不揮
発性半導体記憶装置。

【請求項8】

前記セルトランジスタのデータ消去を行う際に、前記ソース線には第1の電圧が供給され
、前記ワード線には第2の電圧が供給され、前記ビット線には第3の電圧が供給されるこ
とを特徴とする請求項1ないし5のいずれか1項記載の不揮発性半導体記憶装置。

40

【請求項9】

前記第1、第2の電圧が正極性の電圧であり、前記第3の電圧が接地電圧であることを特
徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項10】

前記第1、第2、第3の電圧がいずれも正極性の電圧であり、前記第3の電圧が前記第1
及び第2の電圧よりも低い電圧であることを特徴とする請求項8記載の不揮発性半導体記
憶装置。

【請求項11】

50

前記セルトランジスタからデータの読み出しを行う際に、前記ソース線には第1の電圧が供給され、前記ワード線には第2の電圧が供給され、前記ビット線には第3の電圧が供給されることを特徴とする請求項1ないし5のいずれか1項記載の不揮発性半導体記憶装置。

【請求項12】

前記第1の電圧が接地電圧であり、前記第2の電圧が正極性の電圧であり、前記第3の電圧が前記第1の電圧よりは高く前記第2の電圧よりは低い正極性の電圧であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項13】

前記選択トランジスタと前記セルトランジスタが共にPチャネルのMOSトランジスタであることを特徴とする請求項1または2記載の不揮発性半導体記憶装置。 10

【請求項14】

前記選択トランジスタと前記セルトランジスタとが、P型基板上に形成されたN型ウエル内に形成されていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項15】

前記選択トランジスタと前記セルトランジスタのゲート電極が同一層の導電層を用いて構成されていることを特徴とする請求項13または14記載の不揮発性半導体記憶装置。

【請求項16】

前記セルトランジスタの前記一端側または他端側のチャネル領域の一部にセルトランジスタのソース/ドレイン領域と同一導電型の拡散領域が形成されていることを特徴とする請求項13ないし15のいずれか1項記載の不揮発性半導体記憶装置。 20

【請求項17】

前記セルトランジスタのプログラムを行う際に、前記N型ウエルには第1の電圧が供給され、前記ソース線には第2の電圧が供給され、前記ワード線には第3の電圧が供給され、前記ビット線には第4の電圧が供給されることを特徴とする請求項14ないし16のいずれか1項記載の不揮発性半導体記憶装置。

【請求項18】

前記第1、第2、第3の電圧がそれぞれ接地電圧であり、前記第4の電圧が負極性の電圧であることを特徴とする請求項17記載の不揮発性半導体記憶装置。

【請求項19】

前記セルトランジスタのプログラムを行う際に、前記N型ウエル及び前記ソース線には第1の電圧が供給され、前記ワード線には第2の電圧が供給され、前記ビット線には第3の電圧が供給されることを特徴とする請求項14ないし16のいずれか1項記載の不揮発性半導体記憶装置。 30

【請求項20】

前記第1の電圧が正極性の電圧であり、前記第2、第3の電圧が接地電圧であることを特徴とする請求項19記載の不揮発性半導体記憶装置。

【請求項21】

前記セルトランジスタからデータの読み出しを行う際に、前記N型ウエル及び前記ソース線には第1の電圧が供給され、前記ワード線及び前記ビット線には第2の電圧がそれぞれ供給されることを特徴とする請求項14ないし16のいずれか1項記載の不揮発性半導体記憶装置。 40

【請求項22】

前記第1の電圧が正極性の電圧であり、前記第2の電圧が接地電圧であることを特徴とする請求項21記載の不揮発性半導体記憶装置。

【請求項23】

ゲート電極を有するMOSトランジスタからなる選択トランジスタと、
上記選択トランジスタの一端に接続されたソース線と、
上記選択トランジスタのゲート電極に接続されたワード線と、
いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、一端が上記 50

選択トランジスタの他端に接続され、上記選択トランジスタと同一極性のMOSトランジスタからなるセルトランジスタと、
上記セルトランジスタの他端に接続されたビット線とを含み半導体基板上に形成されたメモリセルアレイと、
上記半導体基板と同一の半導体基板上に形成され、上記選択トランジスタ及びセルトランジスタのゲート電極と同一層の導電層を用いて構成されたゲート電極を有する周辺回路用のMOSトランジスタを含む周辺回路
とを具備したことを特徴とする半導体集積回路装置。

【請求項24】

ゲート電極を有するMOSトランジスタからなる選択トランジスタと、
上記選択トランジスタの一端に接続されたビット線と、
上記選択トランジスタのゲート電極に接続されたワード線と、
いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、一端が上記選択トランジスタの他端に接続され、上記選択トランジスタと同一極性のMOSトランジスタからなるセルトランジスタと、
上記セルトランジスタの他端に接続されたソース線とを含み半導体基板上に形成されたメモリセルアレイと、
上記半導体基板と同一の半導体基板上に形成され、上記選択トランジスタ及びセルトランジスタのゲート電極と同一層の導電層を用いて構成されたゲート電極を有する周辺回路用のMOSトランジスタを含む周辺回路
とを具備したことを特徴とする半導体集積回路装置。

【請求項25】

前記セルトランジスタの前記一端側もしくは他端側の基板領域の一部に、セルトランジスタのソース／ドレイン領域と同一導電型の拡散領域が形成されていることを特徴とする請求項23または24記載の半導体集積回路装置。

【請求項26】

前記セルトランジスタの前記選択トランジスタ側の基板領域の一部に、セルトランジスタのソース／ドレイン領域と同一導電型の拡散領域が形成されていることを特徴とする請求項23または24記載の半導体集積回路装置。

【請求項27】

前記選択トランジスタと前記セルトランジスタが共にNチャネルまたはPチャネルのMOSトランジスタであることを特徴とする請求項23ないし26のいずれか1項記載の半導体集積回路装置。

【請求項28】

前記選択トランジスタ、セルトランジスタ及び前記周辺回路用のMOSトランジスタそれぞれの前記ゲート電極下部のゲート絶縁膜の膜厚が等しいことを特徴とする請求項23または24記載の半導体集積回路装置。

【請求項29】

前記ゲート絶縁膜の膜厚が5～13nmの範囲であることを特徴とする請求項28記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は不揮発性メモリセルを有し、特にロジック回路からなる周辺回路と共に半導体チップ内に集積するのに適した不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

近年、半導体システムを構築するユーザサイドで、安価でありながら半導体チップの製造後にデータのプログラムが可能な不揮発性半導体記憶装置の要求が高まっている。このような不揮発性半導体記憶装置は、より高度なセキュリティー確保のために、CPU (Ce

10

20

30

40

50

nt ral Processor Unit) やMPU (Micro Processor Unit) などと共に半導体チップ上に集積する必要が生じている。

【0003】

従来、電氣的に消去が行える不揮発性半導体記憶装置として、制御ゲート電極と浮遊ゲート電極からなる積層ゲート構造のトランジスタをメモリセルとして使用するものが知られている。

【0004】

このように積層ゲート構造のトランジスタを使用した不揮発性半導体記憶装置は高信頼性であることが知られているが、その仕様並びに素子構造、製造工程が不揮発性半導体記憶装置で固有のものであり、他のロジック製品との整合性が悪いいため、CPUやMPUなどのロジック回路からなる周辺回路と共に同一半導体チップ内に集積する場合には多大な工程増ならびにコスト増を招いていた。

【0005】

また、ロジック回路からなる周辺回路と共に同一半導体チップ内に容易に集積可能な不揮発性半導体記憶装置として、従来では、例えば非特許文献1に記載されているものが知られている。

【0006】

この非特許文献1に記載されているメモリセルの素子断面構造を図15に、メモリセルアレイの等価回路を図16にそれぞれ示す。

【0007】

図15に示すようにP型の半導体基板(P-sub) 61上に複数のN型ウエル(N-well、図では1個のみ図示) 62が形成されている。上記複数の各N型ウエル62内にP⁺型拡散層からなるソース領域63及びドレイン領域64が形成され、ソース、ドレイン領域相互間の基板上にゲート電極65が形成されることで、個々のN型ウエル62にPチャネルMOSトランジスタからなるセルトランジスタ66が構成される。このセルトランジスタ66のゲート電極65は電氣的にどこにも接続されず、電位的にフローティング状態にされている。

【0008】

また、各N型ウエル62内には、このN型ウエルに対してコンタクトを取るためのN⁺型拡散層からなるコンタクト領域67が形成されている。このコンタクト領域67はソース領域63と共にビット線BLに接続されている。また、セルトランジスタのドレイン領域64は、NチャネルMOSトランジスタからなる選択トランジスタ68を介して接地電位のノードに接続されている。この選択トランジスタ68のゲート電極はワード線WLに接続されている。

【0009】

図15に示すような素子構造のメモリセルが多数形成されてメモリセルアレイが構成される。このメモリセルアレイでは、図16に示すように、それぞれ複数のワード線WLとビット線BLとが互いに交差するように延長され、各ワード線WLと各ビット線BLとの交点にメモリセルMCが配置されている。各メモリセルMCは、上記したようにゲート電極が電氣的にどこにも接続されておらず電位的にフローティング状態にされているセルトランジスタ66と、選択トランジスタ68とが直列接続された構成とされている。なお、図16中において破線で囲まれた領域は図15中のN型ウエル62に相当している。

【0010】

このような構成の不揮発性半導体記憶装置では、半導体チップの製造後に、チップ全面に紫外線が照射されることで、全てのメモリセルMCのセルトランジスタ66のゲート電極が電荷の無い状態に初期化され、セルトランジスタ66のしきい値が負の一定の値に揃えられる。

【0011】

データの書き込み時は、選択されたビット線BLに例えば5V程度の電圧が印加される。これにより、選択ビット線BLに繋がるN型ウエル62も同時に5V程度に設定される。

10

20

30

40

50

また、選択されたワード線WLにのみ“H”レベルの電位が与えられ、選択トランジスタ68がオン状態となり、セルトランジスタ66のドレイン領域64であるP+型拡散層に0Vが転送される。このとき、他のワード線は0Vに接地され、選択トランジスタ68はオフ状態となる。選択ビット線と選択ワード線の交点に位置している選択セルトランジスタ66では、N型ウエル62とソース領域63とが共に5V前後、ドレイン領域64が0Vとなる。

【0012】

紫外線照射後では、セルトランジスタ66のしきい値は負の値なので、セルトランジスタ66がオンし、ドレイン領域64とソース領域63との間に電流が流れ、一部がホットエレクトロンとなり、セルトランジスタ66のゲート絶縁膜を通過してゲート電極65に電

10

子が注入される。これにより、セルトランジスタ66のしきい値電圧が上昇して、正極性の値になる。例えばこれを“0”記憶状態とする。

【0013】

電子を注入したくないセルトランジスタ66では、セルトランジスタに繋がるビット線BLの電位を0Vにしておき、紫外線照射時の負のしきい値電圧をそのまま維持させる。例えばこれを“1”記憶状態とする。

【0014】

データの読み出しは、選択されたビット線BLに所定の正極性の電位を与え、選択されたワード線WLにも所定の正極性の電位を与え、選択トランジスタ68をオンさせる。セルトランジスタ66のゲート電極65に電子が注入されておらず、紫外線照射されたままの

20

状態であると、セルトランジスタ66のしきい値電圧は負極性であるため、オン状態となり、ソース、ドレイン間を介してビット線BLに電流が流れる。

【0015】

一方、ゲート電極65に予め電子が注入されて書き込まれており、しきい値電圧が正極性にシフトしていると、そのセルトランジスタ66はオフ状態になり、ビット線BLに電流は流れない。

【0016】

このようにデータ読み出し時は、書き込みされた否かで、セルトランジスタがオン状態かオフ状態に分かれ、それに応じてビット線BLに電流が流れるか、もしくは流れなくなる。そして、ビット線BLに電流が流れるか否かがセンスアンプで判定され、データの“0”

30

、“1”が検知される。

【0017】

しかし、この不揮発性半導体記憶装置では以下のような問題点がある。まず、第1の問題点は電氣的消去ができないことである。すなわち、紫外線照射による消去のため、紫外線を透過する石英ガラスが嵌め込まれた窓付のパッケージを用いる必要があるが、このようなパッケージは非常に高価である。

【0018】

第2の問題点は、メモリセル毎に独立してN型ウエルを設ける必要があるので、セル面積が大きくなることである。このため、あまり大きなビット容量の記憶装置を半導体チップ上に形成することはできない。

40

【0019】

【非特許文献1】

A. Bergemont他、2000年 Non-Volatile Semiconductor Memory Workshop、pp. 86-89、「A Non-Volatile Memory Device with True CMOS Compatibility」

【0020】

【発明が解決しようとする課題】

上記のように積層ゲート構造のトランジスタを必要としない従来の不揮発性半導体記憶装置では、電氣的消去が行えない、セル面積が大きくなる、などの問題点がある。

50

【0021】

この発明は上記のような事情を考慮してなされたものであり、その目的は、ロジック回路からなる周辺回路と混載して半導体チップ上に容易に集積可能であり、かつ電氣的消去を行うことができ、セル面積も小さな不揮発性半導体記憶装置を提供することである。

【0022】**【課題を解決するための手段】**

この発明の不揮発性半導体記憶装置は、ゲート電極を有するMOSトランジスタからなる選択トランジスタと、上記選択トランジスタの一端に接続されたソース線と、上記選択トランジスタのゲート電極に接続されたワード線と、いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、一端が上記選択トランジスタの他端に接続され、
上記選択トランジスタと同一極性のMOSトランジスタからなるセルトランジスタと、上記セルトランジスタの他端に接続されたビット線とを具備している。

10

【0023】

この発明の不揮発性半導体記憶装置は、ゲート電極を有するMOSトランジスタからなる選択トランジスタと、上記選択トランジスタの一端に接続されたビット線と、上記選択トランジスタのゲート電極に接続されたワード線と、いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、一端が上記選択トランジスタの他端に接続され、
上記選択トランジスタと同一極性のMOSトランジスタからなるセルトランジスタと、上記セルトランジスタの他端に接続されたソース線とを具備している。

【0024】

この発明の半導体集積回路装置は、ゲート電極を有するMOSトランジスタからなる選択トランジスタと、上記選択トランジスタの一端に接続されたソース線と、上記選択トランジスタのゲート電極に接続されたワード線と、いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、一端が上記選択トランジスタの他端に接続され、上記選択トランジスタと同一極性のMOSトランジスタからなるセルトランジスタと、上記セルトランジスタの他端に接続されたビット線とを含み半導体基板上に形成されたメモリセルアレイと、上記半導体基板と同一の半導体基板上に形成され、上記選択トランジスタ及びセルトランジスタのゲート電極と同一層の導電層を用いて構成されたゲート電極を有する周辺回路用のMOSトランジスタを含む周辺回路とを具備している。

20

【0025】

この発明の半導体集積回路装置は、ゲート電極を有するMOSトランジスタからなる選択トランジスタと、上記選択トランジスタの一端に接続されたビット線と、上記選択トランジスタのゲート電極に接続されたワード線と、いずれにも電氣的に接続されず電位的に浮遊状態にされたゲート電極を有し、一端が上記選択トランジスタの他端に接続され、上記選択トランジスタと同一極性のMOSトランジスタからなるセルトランジスタと、上記セルトランジスタの他端に接続されたソース線とを含み半導体基板上に形成されたメモリセルアレイと、上記半導体基板と同一の半導体基板上に形成され、上記選択トランジスタ及びセルトランジスタのゲート電極と同一層の導電層を用いて構成されたゲート電極を有する周辺回路用のMOSトランジスタを含む周辺回路とを具備している。

30

【0026】**【発明の実施の形態】**

以下、図面を参照してこの発明を実施の形態より詳細に説明する。

【0027】**（第1の実施の形態）**

図1は、第1の実施の形態による不揮発性半導体記憶装置のメモリセルアレイの一部の構成を示す等価回路図である。図示のように、複数のビット線BL1、BL2、…BLmが第1の方向に延長するように配置されている。また、上記複数のビット線BL1、BL2、…BLmの延長方向と交差する第2の方向に延長するように、それぞれ複数のワード線及びソース線（それぞれ2本のワード線WL1、WL2及びソース線SL1、SL2のみを図示）が配置されている。

40

50

【0028】

上記各ビット線BLと各ソース線SLとの交点にはメモリセルMCがそれぞれ配置されている。上記メモリセルMCはそれぞれ、NチャネルのMOSトランジスタからなる選択トランジスタ11と、NチャネルのMOSトランジスタからなるセルトランジスタ12とが直列接続された構成を有する。選択トランジスタ11のソースは対応するビット線BL（BL1、BL2、…BLmのいずれか1つ）に接続され、ゲート電極は対応するワード線WL（WL1またはWL2）に接続されている。選択トランジスタ11のソースにはセルトランジスタ12のドレインが接続されている。セルトランジスタ12のソースは対応するソース線SL（SL1またはSL2）に接続されている。

【0029】

上記セルトランジスタ12はそれぞれ、選択トランジスタ11に近い側の基板の表面領域の一部にN⁺型拡散層が形成されている。図1中、このN⁺型拡散層は破線で示されている。セルトランジスタ12のゲート電極はいずれにも電氣的に接続されておらず、電位的に浮遊状態にされている。

【0030】

なお、通常、メモリセルは複数のブロックに分割されており、ソース線SLはブロック単位で共通に配線されている。

【0031】

図2は、図1中のメモリセルアレイ内の一部のメモリセルを抽出して示すパターン平面図であり、図3は図2中のA-A線に沿った断面図である。

【0032】

P型の半導体基板（もしくはN型の半導体基板に形成されたPウエル）21内にはN⁺型拡散層22a～22eが互いに離間し、かつ一列に配列して形成されている。N⁺型拡散層22aはメモリセル内のセルトランジスタ12のソース領域を構成している。N⁺型拡散層22bはメモリセル内のセルトランジスタ12のドレイン領域と選択トランジスタ11のソース領域とを構成している。N⁺型拡散層22cは同じビット線を共有する隣接した2個のメモリセル内の選択トランジスタ11のドレイン領域を構成している。N⁺型拡散層22dはメモリセル内のセルトランジスタ12のソース領域と選択トランジスタ11のドレイン領域とを構成している。N⁺型拡散層22eはメモリセル内のセルトランジスタ12のソース領域を構成している。

【0033】

そしてN⁺型拡散層22a、22eはそれぞれ図2中の横方向に延長され、複数のメモリセルに対して共通に配線されるソース線SL1、SL2となる。

【0034】

上記N⁺型拡散層22a、22b相互間の基板21上には、ゲート絶縁膜23を介して導電層、例えば多結晶シリコン層をパターンニングして形成されたゲート電極24が形成されている。このゲート電極24は、電氣的にどこにも接続されておらず、浮遊状態にされている。

【0035】

上記N⁺型拡散層22b、22c相互間の基板21上には、ゲート絶縁膜23を介して、上記ゲート電極24と同一の導電層を用いて形成されたゲート電極25が形成されている。このゲート電極25は、図2中の横方向に延長され、複数のメモリセルに対して共通に配線されるワード線WL1となる。

【0036】

同様に、上記N⁺型拡散層22c、22d相互間の基板21上には、ゲート絶縁膜23を介して、上記ゲート電極24と同一の導電層を用いて形成されたゲート電極26が形成されている。このゲート電極26は、図2中の横方向に延長されて、複数のメモリセルに対して共通に配線されるワード線WL2となる。

【0037】

また、上記N⁺型拡散層22d、22e相互間の基板21上には、ゲート絶縁膜23を介

10

20

30

40

50

して、上記ゲート電極24と同一の導電層を用いて形成されたゲート電極27が形成されている。このゲート電極27は、電氣的にどこにも接続されておらず、浮遊状態にされている。

【0038】

さらに、上記 N^+ 型拡散層22a、22b相互間、つまりゲート電極24の下部の基板21の表面領域において、 N^+ 型拡散層22bと接する一部分には N^+ 型拡散層28が形成されている。同様に、上記 N^+ 型拡散層22d、22e相互間、つまりゲート電極27の下部の基板21の表面領域において、 N^+ 型拡散層22dと接する一部分には N^+ 型拡散層28が形成されている。

【0039】

また、ゲート電極24～27上を含む全面に層間絶縁膜29が形成され、この層間絶縁膜29に対して N^+ 型拡散層22cの一部が露出するようなコンタクトホール30が開口され、さらにこのコンタクトホール30を埋めるように配線層31が形成されている。この配線層31は上記ゲート電極25、26の延長方向と交差する方向に延長されるビット線BLとなる。

【0040】

また、図3に示すように、上記 N^+ 型拡散層28が形成されているチャネル領域部分のビット線方向（配線層31の延長方向）の寸法L1は、 N^+ 型拡散層28が形成されていないチャネル領域部分のビット線方向の寸法L2よりも大きくなるように形成されている。

【0041】

次に、図1に示す不揮発性半導体記憶装置の動作を図4及び図5を用いて説明する。図4はデータ書き込み（プログラム）時、消去時及び読み出し時に、ソース線SL、ワード線WL及びビット線BLに印加される電圧の一例を示したものであり、図5はプログラム前後のメモリセルのしきい値電圧 V_{th} の遷移状態を示したものである。

【0042】

まず、プログラム動作について説明する。なお、半導体チップ製造後に、セルトランジスタ12のゲート電極、つまりゲート電極24、27からは予め電子が放出されており、セルトランジスタ12のしきい値電圧 V_{th} は負極性の値になっているものとする。そしてこの初期状態を、図5に示すように“1”記憶状態と仮定する。

【0043】

プログラム時、選択ビット線BLに正極性の電圧、例えば4.5Vが印加される。非選択ビット線BLには0V（接地電圧）が印加される。プログラムしたいメモリセルが接続されている選択ワード線WLには、選択トランジスタ11がオンするような電圧 V_{on} 、一例として2Vが印加される。非選択の選択トランジスタ11が接続されている非選択ワード線WL並びにソース線SLには0Vが印加される。

【0044】

これによって、選択メモリセルのセルトランジスタ12のドレイン領域は、ビット線BLに印加された電圧4.5Vとなる。また、セルトランジスタ12のソース領域にはソース線SLの0Vが伝わる。ここで、セルトランジスタ12の選択トランジスタ11側のチャネル領域の一部に N^+ 型拡散層28が形成されており、この N^+ 型拡散層28とゲート電極24または27との間にn型MOSキャパシタが構成されている。このため、セルトランジスタ12のドレイン領域に4.5Vの電圧が加えられると、上記MOS型キャパシタによる容量結合により、セルトランジスタ12のゲート電位が上昇し、セルトランジスタ12がオンする。これにより、セルトランジスタ12のソース、ドレイン領域間に電流が流れ、ホットエレクトロンが発生する。このようにして発生したホットエレクトロンは、セルトランジスタ12のソース領域（ N^+ 型拡散層22aまたは22e）側のエッジから、ゲート電極（ゲート電極24または27）に注入される。すると、初期状態では負極性の値を有していたセルトランジスタ12のしきい値電圧は正極性の方向にシフトする。シフト後の状態を、図5に示すように“0”記憶状態とする。

【0045】

10

20

30

40

50

すなわち、プログラムされることで、セルメモリセル12のしきい値電圧が正極性の方向にシフトする。プログラムされない非選択のメモリセル12内のセルトランジスタ12のしきい値電圧は元の負極性のままである。

【0046】

また、セルトランジスタ12のゲート電極下の基板の表面領域において、 N^+ 型拡散層28が形成されている部分の寸法L1が、 N^+ 型拡散層28が形成されていない部分の寸法L2よりも大きいので、プログラム時に、セルトランジスタ12のドレイン領域とゲート電極との間の容量結合が大きくなり、セルトランジスタ12のゲート電極の電位を十分に上昇させることができ、書き込み効率を高めることができる。

【0047】

次にデータ消去動作を説明する。

【0048】

消去を行う際、ソース線SL並びに消去したいメモリセルが接続されている選択ワード線WLには例えば7V程度の正極性の高電圧が印加される。また、ビット線BLには0Vが印加される。この場合、選択ワード線WLとソース線SLは同時に立ち上げる必要がある。これは、選択トランジスタ11のチャネル領域とゲート電極の電圧を同時に立ち上げて、選択トランジスタ11のゲート絶縁膜の破壊を防ぐためである。

【0049】

選択ワード線WLに正極性の高電圧が印加されることで、選択トランジスタ11は十分にオンし、セルトランジスタ12のドレイン領域に0Vが出力される。そして、セルトランジスタ12のドレイン領域とゲート電極との間の容量結合により、セルトランジスタ12のゲート電位が低くなる。一方、セルトランジスタ12のソース領域にはソース線SLから正極性の高電圧が印加される。これによりセルトランジスタ12のゲート電極のエッジ付近で、ゲート電極からセルトランジスタ12のソース領域(N^+ 型拡散層22aまたは22e)に電子が引き抜かれ、セルトランジスタ12のしきい値電圧が初期の負極性の状態に戻る。先の初期状態は、このようにしてセルトランジスタ12のゲート電極から電子を引き抜くことにより行われる。

【0050】

この場合、消去の単位としては、1つのソース線SLにのみ7Vの消去電圧を印加した場合にはブロック消去になり、全てのソース線SLに並列的に消去電圧を印加すればページ消去となる。これによりブロック消去、ページ消去の選択が可能である。

【0051】

次にデータ読み出し動作を説明する。

【0052】

読み出し時には、読み出しを行うメモリセルが接続された選択ビット線BLに読み出し電圧が印加される。この読み出し電圧の値は例えば0.8V程度である。また、読み出しを行うメモリセルが接続されたワード線WLには、選択トランジスタ11がオンするような電圧Vonが印加される。この電圧Vonの値は例えば2V程度である。非選択ビット線BLには0Vの電圧が印加される。また、全てのソース線SLには0Vが印加される。

【0053】

選択トランジスタ11がオンすることで、選択メモリセル内のセルトランジスタ12のドレイン領域には読み出し電圧が伝わる。また、ソース線SLに印加された0Vの電圧は、セルトランジスタ12のソース領域まで伝わる。

【0054】

このとき、選択メモリセルが“1”記憶状態、つまりセルトランジスタ12のしきい値電圧が初期状態の負極性の値であれば、セルトランジスタ12はオンし、セルトランジスタ12を介してビット線BLに電流が流れる。他方、選択メモリセルが“0”記憶状態、つまりプログラムが行われていて、セルトランジスタ12のしきい値電圧が正極性の値に変化していれば、セルトランジスタ12はオフし、セルトランジスタ12を介してビット線BLには電流が流れない。そして、ビット線BLに電流が流れるか否かが図示しないセン

10

20

30

40

50

スアンプによって判定され、データの“1”、“0”が検知される。

【0055】

ところで、上記のメモリセルでは、データの書き込み時に、電位的に浮遊状態のゲート電極の電位を容量結合によって上昇させるようにしているため、 N^+ 型拡散層28とゲート電極との間のカップリング状態によって書き込み量が増減する。このため、書き込み時には、ある決まった時間だけ書き込みを行ったメモリセルに対し、書き込み直後にデータの読み出し動作を行い、しきい値電圧が所定の分布幅の中に入っていない場合には書き込み動作を再度行い、所定の分布幅の中に入るまで書き込み動作と読み出し動作とを繰り返し行う必要がある。このような動作は一般に書き込みベリファイ (verify) 動作と呼ばれる。

10

【0056】

この第1の実施の形態の場合にも、書き込み時には書き込みベリファイ動作を行うようにすればよい。この書き込みベリファイ動作が行われることで、書き込み後に、図5に示すように“0”データのしきい値分布が所定の範囲内に収まるように調整することができる。

【0057】

このように第1の実施の形態の不揮発性半導体記憶装置では、電氣的にデータ消去を行うことができる。また、従来のように各メモリセル毎に独立してN型ウェルを設ける必要がないので、セル面積も比較的小さくなる。

【0058】

20

(第2の実施の形態)

図6は、第2の実施の形態による不揮発性半導体記憶装置のメモリセルアレイの一部の構成を示す等価回路図である。この実施の形態においても、第1の実施の形態の場合と同様に、複数のビット線、ワード線及びソース線が配置され、各ビット線BLとソース線SLとの交点にメモリセルMCがそれぞれ配置されている。さらに、各メモリセルMCは、NチャネルのMOSトランジスタからなる選択トランジスタ11と、NチャネルのMOSトランジスタからなるセルトランジスタ12とが直列接続された構成を有する。

【0059】

選択トランジスタ11のソース領域は対応するソース線SL (SL1またはSL2) に接続され、ゲート電極は対応するワード線WL (WL1またはWL2) に接続されている。選択トランジスタ11のドレイン領域にはセルトランジスタ12のソース領域が接続されている。セルトランジスタ12のドレイン領域は対応するビット線BL (BL1、BL2、…BLmのいずれか1つ) に接続されている。

30

【0060】

上記セルトランジスタ12は、ビット線BLに近い側の基板21の表面領域に N^+ 型拡散層が形成されており、また、ゲート電極はいずれにも電氣的に接続されておらず電位的に浮遊状態にされている。従って、セルトランジスタ12は、MOSトランジスタ12aと、このMOSトランジスタ12aのゲート電極とドレイン領域との間に接続されたn型MOSキャパシタ12bとから構成されるものとして示されている。

【0061】

40

図7は、図6中のメモリセルアレイ内の一部のメモリセルを抽出して示すパターン平面図であり、図8は図6中のB-B線に沿った断面図である。

【0062】

P型の半導体基板 (もしくはN型の半導体基板に形成されたPウェル) 21内には N^+ 型拡散層22A~22Gが互いに離間し、かつ一列に配列して形成されている。 N^+ 型拡散層22Aは選択トランジスタ11のソース領域を構成している。 N^+ 型拡散層22Bは選択トランジスタ11のドレイン領域とセルトランジスタ12のソース領域とを構成している。 N^+ 型拡散層22CはMOSトランジスタ12aのドレイン領域を構成している。 N^+ 型拡散層22Dはビット線を共有する隣接した2個のメモリセル内のMOSキャパシタ12bの一端に相当している。

50

【0063】

N⁺ 型拡散層22EはMOSトランジスタ12aのドレイン領域を構成している。N⁺ 型拡散層22FはMOSトランジスタ12aのソース領域と選択トランジスタ11のドレイン領域とを構成している。N⁺ 型拡散層22Gは選択トランジスタ11のソース領域を構成している。

【0064】

そしてN⁺ 型拡散層22A、22Gはそれぞれ、図7中で横方向に延長されて、複数のメモリセルに対して共通に配線されるソース線SL1、SL2となる。

【0065】

上記N⁺ 型拡散層22A、22B相互間の基板21上には、ゲート絶縁膜23を介して導電層、例えば多結晶シリコン層をパターニングして形成されたゲート電極25が形成されている。このゲート電極25は、図7中で横方向に延長されて、複数のメモリセルに対して共通に配線されるワード線WL1となる。同様に、上記N⁺ 型拡散層22F、22G相互間の基板21上には、ゲート絶縁膜23を介して、上記ゲート電極25と同一の導電層を用いて形成されたゲート電極26が形成されている。このゲート電極26は、図7中で横方向に延長されて、複数のメモリセルに対して共通に配線されるワード線WL2となる。

【0066】

また、上記N⁺ 型拡散層22B、22C相互間の基板21上には、ゲート絶縁膜23を介して、上記ゲート電極25と同一の導電層を用いて形成されたゲート電極24Aが形成されている。上記N⁺ 型拡散層22C、22D相互間の基板21上には、ゲート絶縁膜23を介して、上記ゲート電極25と同一の導電層を用いて形成されたゲート電極24Bが形成されている。上記ゲート電極24Aと24Bは、図7に示すように互いに接続されて1つのゲート電極24とされ、その平面形状はコの字型を呈している。

【0067】

同様に、上記N⁺ 型拡散層22D、22E相互間の基板21上には、ゲート絶縁膜23を介して、上記ゲート電極25と同一の導電層を用いて形成されたゲート電極27Bが形成されている。上記N⁺ 型拡散層22E、22F相互間の基板21上には、ゲート絶縁膜23を介して、上記ゲート電極25と同一の導電層を用いて形成されたゲート電極27Aが形成されている。上記ゲート電極27Bと27Aも、図7に示すように互いに接続されて1つのゲート電極27とされ、その平面形状はコの字型を呈している。

【0068】

さらに、上記N⁺ 型拡散層22C、22D相互間及びN⁺ 型拡散層22D、22E相互間に位置する基板21の表面領域にはN⁺ 型拡散層28が形成されている。

【0069】

図8に示すように、N⁺ 型拡散層28が形成されている基板の表面領域部分のビット線方向（配線層31の延長方向）の寸法L1は、N⁺ 型拡散層28が形成されていないチャネル領域部分のビット線方向の寸法L2よりも大きくなるように形成されている。

【0070】

また、ゲート電極上の全面に層間絶縁膜29が形成され、この層間絶縁膜29に対してN⁺ 型拡散層22Dの一部が露出するようなコンタクトホール30が開口され、さらにこのコンタクトホール30を埋めるように配線層31が形成されている。この配線層31は選択トランジスタ11のゲート電極25、26の延長方向と交差する方向に延長されてビット線BLとなる。

【0071】

次に、図6に示す不揮発性半導体記憶装置の動作を説明する。

【0072】

まず、プログラム動作について説明する。なお、半導体チップ製造後に、セルトランジスタ12のゲート電極、つまりゲート電極24や27からは予め電子が放出されており、MOSトランジスタ12aのしきい値電圧V_{th}は負極性の値になっているものとする。そ

10

20

30

40

50

してこの初期状態を、先の図5に示すように“1”記憶状態とする。

【0073】

プログラム時、選択ビット線BLには正極性の電圧、例えば4.5Vが印加される。非選択ビット線BLには0Vが印加される。プログラムしたいメモリセルが接続されている選択ワード線WLには、選択トランジスタ11がオンするような電圧Von、例えば2Vが印加される。非選択の選択トランジスタ11が接続されている非選択ワード線WL並びにソース線SLには0Vが印加される。

【0074】

これによって、選択メモリセルのMOSトランジスタ12aのソース領域にはソース線SLの0Vが伝わる。また、選択メモリセルのMOSキャパシタ12bの一方の電極、つまりN⁺型拡散層28はビット線BLに印加された電圧4.5Vとなる。また、ビット線BLに印加された4.5Vの電圧は、MOSトランジスタ12aのドレイン領域(N⁺型拡散層22Cまたは22E)まで伝わる。そして、MOSキャパシタ12bによる容量結合により、MOSトランジスタ12aのゲート電位が上昇し、MOSトランジスタ12aがオンする。これにより、MOSトランジスタ12aのソース、ドレイン間に電流が流れ、ホットエレクトロンが発生する。このようにして発生したホットエレクトロンは、MOSトランジスタ12aのソース領域(N⁺型拡散層22Bまたは22F)側のエッジから、ゲート電極(ゲート電極24または27)に注入される。すると、初期状態では負極性の値を有していたMOSトランジスタ12aのしきい値電圧が正極性の方向にシフトする。シフト後は、先の図5に示すように“0”記憶状態となる。

【0075】

すなわち、プログラムされることで、メモリセル12内のMOSトランジスタ12aのしきい値電圧が正極性の方向にシフトする。プログラムされない非選択のメモリセル12内のMOSトランジスタ12aのしきい値電圧は元の負極性のままである。

【0076】

また、N⁺型拡散層28が形成されている基板の表面領域部分のビット線方向の寸法L1が、N⁺型拡散層28が形成されていないチャネル領域部分のビット線方向の寸法L2よりも大きいので、プログラム時に、MOSキャパシタにおける容量結合が大きくなり、MOSトランジスタ12aのゲート電位を十分に上昇させることができ、書き込み効率を高めることができる。

【0077】

次にデータ消去動作を説明する。

【0078】

消去を行う際、ソース線SL並びに消去したいメモリセルが接続されている選択ワード線WLには例えば7V程度の正極性の高電圧が印加される。また、ビット線BLには0Vが印加される。この場合にも、先に述べたものと同様の理由により、選択ワード線WLとソース線SLは同時に立ち上げる必要がある。

【0079】

ビット線BLに0Vが印加されることで、MOSキャパシタ12bによる容量結合により、MOSトランジスタ12aのゲート電位が低くなる。これによりMOSトランジスタ12aのゲート電極のエッジ付近で、ゲート電極からソース領域(N⁺型拡散層22Bまたは22F)に電子が引き抜かれ、MOSトランジスタ12aのしきい値電圧が、初期状態の負極性の値に戻る。先の初期状態は、このようにしてMOSトランジスタ12aのゲート電極から電子を引き抜くことにより行われる。

【0080】

この場合、消去の単位としては、1つのソース線SLにのみ7Vの消去電圧を印加した場合にはブロック消去になり、全てのソース線SLに並列的に消去電圧を印加すればページ消去となる。これによりブロック消去、ページ消去の選択が可能である。

【0081】

次にデータ読み出し動作を説明する。

【0082】

読み出し時には、読み出しを行うメモリセルが接続された選択ビット線BLに読み出し電圧が印加される。この読み出し電圧の値は例えば0.8V程度である。また、読み出しを行うメモリセルが接続されたワード線WLには、選択トランジスタ11がオンするような電圧Vonが印加される。この電圧Vonの値は例えば2V程度である。非選択ビット線BLには0Vの電圧が印加される。また、全てのソース線SLには0Vが印加される。

【0083】

選択トランジスタ11がオンすることで、選択メモリセル内のMOSトランジスタ12aのソース領域に0Vが伝わる。また、選択ビット線BLに印加された読み出し電圧は、選択メモリセル内のMOSキャパシタ12bの一方の電極、つまりN⁺型拡散層28を通じてMOSトランジスタ12aのドレイン領域、つまりN⁺型拡散層22Cまたは22Eまで伝わる。

10

【0084】

このとき、選択メモリセルが“1”記憶状態、つまりMOSトランジスタ12aのしきい値電圧が初期状態の負極性の値であれば、MOSトランジスタ12aはオンし、選択トランジスタ11及びセルトランジスタ12を直列に介してビット線BLに電流が流れる。他方、選択メモリセルが“0”記憶状態、つまりプログラムが行われていて、MOSトランジスタ12aのしきい値電圧が正極性の値になっていれば、MOSトランジスタ12aはオフし、セルトランジスタ12を介してビット線BLには電流が流れない。そして、ビット線BLに電流が流れるか否かが図示しないセンスアンプによって判定され、データの“1”、“0”が検知される。

20

【0085】

この第2の実施の形態の場合にも、各メモリセルでは、データの書き込み時に、電位的に浮遊状態のゲート電極の電位を容量結合によって上昇させるようにしているため、MOSキャパシタ12bによるカップリング状態によって書き込み量が増加する。このため、書き込み時には、先に述べたような書き込みベリファイ動作を行うようにすればよい。

【0086】

このように第2の実施の形態の不揮発性半導体記憶装置でも、電氣的にデータ消去を行うことができる。また、従来のように各メモリセル毎に独立してN型ウエルを設ける必要がないので、セル面積も比較的小さくなる。

30

【0087】

なお、第1、第2の実施の形態では、データの消去時に、選択ビット線に対して0Vの電圧を印加する場合について説明したが、これは0Vよりもわずかに高い正極性の電圧、例えば図4中に示すように1~2Vの電圧を印加するようにしてもよい。データ消去時に、選択ビット線に正極性の電圧を印加することで、図1中のセルトランジスタ12または図6中のMOSトランジスタ12aのゲート電極内の電子がソース線に引き抜かれ、しきい値電圧が負極性の値にシフトしても、ビット線の電圧が正極性であるために、セルトランジスタ12またはMOSトランジスタ12aはオフする。この結果、消去時に、ソース線からビット線に電流が流れることを防止することができる。

【0088】

(第2の実施の形態の第1の変形例)

次に第2の実施の形態の第1の変形例を説明する。

【0089】

図9は、図6中のメモリセルアレイ内の一部のメモリセルを抽出して示すパターン平面図である。なお、図9において図7のパターン平面図と対応する箇所には同じ符号を付してその説明は省略し、図7と異なる箇所のみを以下に説明する。

【0090】

図7では、セルトランジスタ12のゲート電極24、27は、平面形状がコの字型を呈している場合について説明したが、この第1の変形例の場合、セルトランジスタ12のゲート電極24、27は方形形状を呈している。つまり、図7と比べて、N⁺型拡散層22C、

40

50

22Eが省略され、 N^+ 型拡散層22C、22Eが存在していた領域はセルトランジスタ12のチャンネル領域の一部となる。また、セルトランジスタ12のビット線側の基板の表面領域の一部には N^+ 型拡散層28が形成されている。

【0091】

この場合にも、ゲート電極24、27の下部の基板の表面領域のうち N^+ 型拡散層28が形成されている部分のビット線方向の寸法は、 N^+ 型拡散層28が形成されていない部分の寸法よりも大きい。つまり、MOSトランジスタのチャンネル領域に相当する部分のMOSキャパシタの長さはMOSトランジスタよりも長くされ、プログラム時におけるMOSキャパシタによる容量結合が大きくなるようにされている。

【0092】

この第1の変形例の不揮発性半導体記憶装置では、第2の実施の形態の場合と同様の効果が得られる上に、MOSトランジスタとMOSキャパシタとの間に存在していた N^+ 型拡散層22C、22Eが形成されていない分、セル面積を小さくできるという効果がさらに得られる。

【0093】

(第2の実施の形態の第2の変形例)

次に第2の実施の形態の第2の変形例を説明する。

【0094】

第2の実施の形態では、各メモリセルMC内の選択トランジスタ11をソース線側に配置し、セルトランジスタ12をビット線側に配置する場合について説明したが、これは図10に示すように、第2の実施の形態とは反対に、つまり、各メモリセルMC内の選択トランジスタ11をビット線側に配置し、セルトランジスタ12をソース線側に配置するようにしてもよい。

【0095】

この第2の変形例においても第2の実施の形態と同様の効果が得られる。

【0096】

なお、この第2の変形例において、ソース線を分けずにメモリセルアレイ内で共通に接続し、この共通のソース線に対し、メモリセルアレイの端部からデコード用トランジスタを介さずに、ソース電圧生成回路を接続するようにしてもよい。ソース電圧生成回路は、メモリセルにおけるデータ書込み時/消去時/読み出し時に、図4に示されるような種々の値のソース電圧を生成する。そして、このソース電圧生成回路内のMOSトランジスタのゲート電極下のゲート絶縁膜の膜厚を、メモリセル内のMOSトランジスタのゲート電極下のゲート絶縁膜と同じにする。

【0097】

このように、共通のソース線に対して、デコード用トランジスタを介さずにソース電圧生成回路を接続すると以下のような効果が得られる。すなわち、消去時にソース線には高電圧が印加される。デコード用トランジスタを設けた場合、デコード用トランジスタは、この高電圧に耐えられるようにゲート酸化膜の膜厚を厚くする必要がある。このような厚いゲート酸化膜を持つトランジスタがロジック回路内に形成されていなければ、独自に形成する必要があり、ロジック回路とコンパチブルなプロセスで不揮発性記憶装置を製造できなくなる。デコード用トランジスタがないと、厚いゲート酸化膜を持つトランジスタを形成する必要がない。

【0098】

ところで、上記各実施の形態及び変形例の不揮発性半導体記憶装置では、メモリセルMCが実質的に2個のMOSトランジスタで構成されており、この両トランジスタのゲート電極は同じ導電層、例えば多結晶シリコン層をパターンニングして形成することができる。このため、図11のブロック図に示すように、図1、図6及び図10に示すメモリセルアレイを含む不揮発性半導体記憶装置100を、ロジック回路からなる周辺回路200と共に同一半導体チップに集積する場合、メモリセルMC内の両トランジスタのゲート電極は、周辺回路200内に形成されるMOSトランジスタのゲート電極と同じ導電層を用いて同

10

20

30

40

50

時に形成することができる。なお、上記周辺回路200には、不揮発性半導体記憶装置100内のメモリセルを選択するためのアドレスデコーダ回路、センスアンプ回路、データ入出力回路、書き込み／消去／読み出し動作を制御するためのシーケンス制御回路などが含まれる。

【0099】

次に、図1、図6及び図10に示すメモリセルアレイ内のメモリセルを、高耐圧が要求される出力用トランジスタ（ロジックI/O）及び高速性が要求されるロジック用のトランジスタ（ロジックトランジスタ）を有する周辺回路と共に、同一半導体チップに集積する場合の製造工程を概略的に説明する。

【0100】

まず、図12（a）に示すように、N型の半導体基板41に複数のP型のウエル領域42を形成した後、基板41に素子分離用の溝を形成し、この溝内に酸化膜を埋め込んで素子分離領域43を形成する。

【0101】

次に、図12（b）に示すように、メモリセルアレイ並びにロジック回路のロジックI/O形成予定領域のチャネル領域44に不純物拡散を行い、その後、堆積法などにより全面に第1の酸化膜45を形成する。この第1の酸化膜45はメモリセル内のトランジスタ及びロジックI/Oのゲート絶縁膜となるものであり、その膜厚は例えば5～13nmの範囲にされる。

【0102】

その後、図12（c）に示すように、高速性が要求されるロジックトランジスタの形成予定領域上の第1の酸化膜45を選択的に剥離した後、この領域のチャネル領域46に不純物拡散を行い、その後、堆積法などにより全面に第2の酸化膜47を形成する。この第2の酸化膜47はロジックトランジスタのゲート絶縁膜となるものであり、その膜厚は第1の酸化膜45よりも薄くされる。

【0103】

次に、図12（d）に示すように、全面にゲート電極形成用の導電層48を堆積する。この導電層48としては例えば多結晶シリコン層などが使用される。

【0104】

続いて、図13（a）に示すように、上記導電層48をパターニングしてゲート加工を行い、ゲート電極49を形成する。このとき、メモリセルアレイ内のトランジスタとロジック回路内のロジックI/Oのゲート電極49のゲート絶縁膜はそれぞれ第1の酸化膜45で構成され、共に同じ膜厚となる。

【0105】

次に、図13（b）に示すように、ゲート電極49をマスクに用いてN型の不純物を基板41に導入し、各トランジスタのソース、ドレイン拡散領域50を形成する。このとき、各ゲート電極49の表面にもN型の不純物が注入され、不純物注入領域51が形成される。

【0106】

また、先のMOSキャパシタにおけるN⁺型拡散層28は、メモリセルアレイ並びにロジック回路のロジックI/O形成予定領域のチャネル領域44に不純物拡散を行う際に同時に、N型不純物をMOSキャパシタ領域に拡散させるか、あるいはゲート電極加工後に、高加速電圧のイオン注入法によりN型不純物をゲート電極をスルーさせてMOSキャパシタ領域にドーピングさせることにより形成する。

【0107】

この後は、図13（c）に示すように、層間絶縁膜52を堆積し、この層間絶縁膜52に対してソース、ドレイン拡散領域50の表面に通じるコンタクトホールを開口し、このコンタクトホールを埋めるように導電層53を形成することで、各ソース、ドレイン拡散領域50から端子を取り出す。そして、層間絶縁膜52を必要な数だけ積層することで多層配線を形成する。

10

20

30

40

50

【0108】

このような方法によれば、同じ製造工程を用いて不揮発性半導体記憶装置100内のメモリセルと周辺回路200内のトランジスタとを製造することができる。すなわち、積層ゲート構造のトランジスタを用いた従来の不揮発性半導体記憶装置を製造する場合と比べ、工程が大幅に簡単となり、製造コストはメモリセルアレイを含まない通常のMOS型半導体集積回路装置とほとんど変わらない。

【0109】

なお、この発明は上記した各実施の形態及び変形例に限定されるものではなく種々の変形が可能であることはいうまでもない。例えば上記実施の形態及び変形例では、メモリセル内の選択トランジスタ及びセルトランジスタが共にNチャネルのMOSトランジスタで構成される場合について説明したが、これはそれぞれPチャネルのMOSトランジスタを用いて構成するようにしてもよい。

【0110】

PチャネルのMOSトランジスタを用いた場合のメモリセルアレイの等価回路は図1、図6及び図10と同じになり、単にNチャネルのMOSトランジスタがPチャネルのMOSトランジスタに置き換わるだけである。

【0111】

選択トランジスタ及びセルトランジスタとしてPチャネルのMOSトランジスタを用いる場合、選択トランジスタ及びセルトランジスタはP型の半導体基板内に設けられたN型ウエル内に形成される。この場合、選択トランジスタ及びセルトランジスタのゲート電極は、NチャネルのMOSトランジスタを用いた場合と同様に、同じ層の導電層を用いて形成される。さらに、セルトランジスタのチャネル領域の一部にP⁺型拡散層が形成される。

【0112】

PチャネルのMOSトランジスタを用いたメモリセルにおいて、データのプログラムを行う場合、電圧の印加方法は2通りある。

【0113】

その1つ目の方法では、N型ウエル及びソース線に0Vが印加され、ワード線にはPチャネルMOSトランジスタからなる選択トランジスタがオンするような電圧、例えば0Vが印加され、ビット線には負極性の電圧、例えば-5Vが印加される。

【0114】

これによって、選択メモリセルのMOSトランジスタのソース領域にはソース線の0Vが伝わる。また、選択メモリセルのMOSキャパシタの基板側の電極にはビット線に印加された-5Vの電圧が伝わる。そして、MOSキャパシタによる容量結合により、セルトランジスタのゲート電位が降下し、セルトランジスタがオンする。これにより、MOSトランジスタのソース、ドレイン間に正孔電流が流れ、これによりホットエレクトロンが発生し、MOSトランジスタのソース領域側のエッジで、このホットエレクトロンがゲート電極に注入されることでプログラムが行われる。

【0115】

2つ目の方法では、N型ウエル及びソース線に正極性の高電圧が印加され、ワード線にはPチャネルMOSトランジスタからなる選択トランジスタがオンするような電圧、例えば0Vが印加され、選択ビット線には0Vが印加される。

【0116】

これによって、選択メモリセルのMOSトランジスタのソース領域にはソース線に印加された正極性の高電圧が伝わる。また、選択メモリセルのMOSキャパシタの基板側の電極にはビット線に印加された0Vの電圧が伝わる。そして、MOSキャパシタによる容量結合により、セルトランジスタのゲート電位が降下し、セルトランジスタがオンする。これにより、MOSトランジスタのソース、ドレイン間に正孔電流が流れ、これによりホットエレクトロンが発生し、MOSトランジスタのソース領域側のエッジで、このホットエレクトロンがゲート電極に注入されることでプログラムが行われる。

【0117】

データの読み出しを行う際は、N型ウェルに正極性の電圧が印加され、選択ビット線及び選択ワード線には0 Vが印加され、非選択ビット線及び非選択ワード線及びソース線にはそれぞれN型ウェルに印加される電圧と同じ正極性の電圧が印加される。

【0118】

選択メモリセルが書き込み状態であれば、セルトランジスタのMOSトランジスタのしきい値電圧は正極性の値なので、セルトランジスタがオンし、ビット線に電流が流れる。

【0119】

他方、選択メモリセルが書き込み状態でなければ、セルトランジスタのMOSトランジスタのしきい値電圧は負極性の値なので、セルトランジスタはオフし、ビット線には電流は流れない。そして、ビット線に電流が流れるか否かがセンスアンプで判定され、“0”、
“1”のデータが検知される。

【0120】

図14は、選択トランジスタ及びセルトランジスタとしてPチャネルトランジスタを用いた場合のプログラム時及び読み出し時における各電圧をまとめて示したものである。

【0121】

【発明の効果】

以上説明したようにこの発明によれば、ロジック回路からなる周辺回路と混載して半導体チップに容易に集積可能であり、かつ電氣的消去を行うことができ、セル面積も小さな不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態による不揮発性半導体記憶装置のメモリセルアレイの一部の構成を示す等価回路図。

【図2】図1中のメモリセルアレイ内の一部のメモリセルを抽出して示すパターン平面図。

【図3】図2中のA-A線に沿った断面図。

【図4】図1の不揮発性半導体記憶装置の動作時に各部に印加される電圧の一例を示す図。

【図5】図1の不揮発性半導体記憶装置においてプログラム前後のメモリセルのしきい値の遷移状態を示した図。

【図6】第2の実施の形態による不揮発性半導体記憶装置のメモリセルアレイの一部の構成を示す等価回路図。

【図7】図6中のメモリセルアレイ内の一部のメモリセルを抽出して示すパターン平面図。

【図8】図7中のB-B線に沿った断面図。

【図9】第2の実施の形態の第1の変形例によるメモリセルアレイ内の一部のメモリセルを抽出して示すパターン平面図。

【図10】第2の実施の形態の第2の変形例による不揮発性半導体記憶装置のメモリセルアレイの一部の構成を示す等価回路図。

【図11】第1、第2の実施の形態及び第2の実施の形態の第1、第2の変形例によるメモリセルアレイを含む不揮発性半導体記憶装置と周辺回路とが集積された半導体チップを示すブロック図。

【図12】図11示す半導体チップの製造工程を示す断面図。

【図13】図12に続く製造工程を示す断面図。

【図14】Pチャネルトランジスタを用いた不揮発性半導体記憶装置の動作時に各部に印加される電圧の一例を示す図。

【図15】従来のメモリセルの素子断面図。

【図16】図15のメモリセルを有するメモリセルアレイの等価回路図。

【符号の説明】

11……選択トランジスタ、12……セルトランジスタ、12a……MOSトランジスタ、12b……MOSキャパシタ、MC…メモリセル、BL1、BL2、…BLm……ビッ

10

20

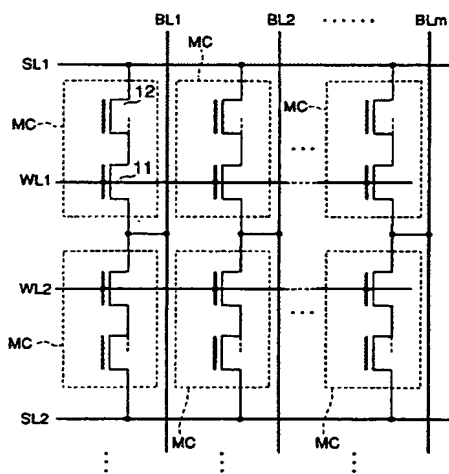
30

40

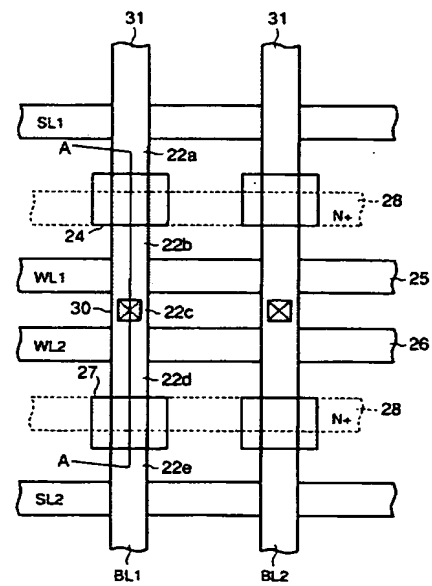
50

ト線、SL1、SL2……ソース線、WL1、WL2……ワード線。

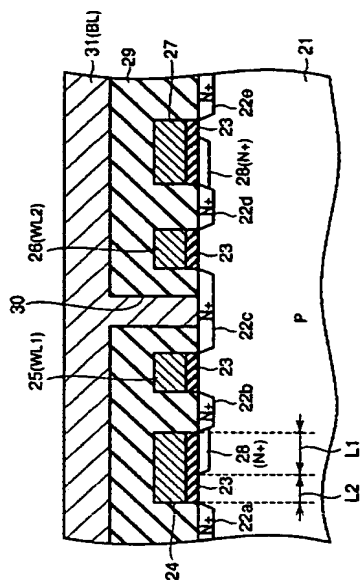
【図1】



【図2】



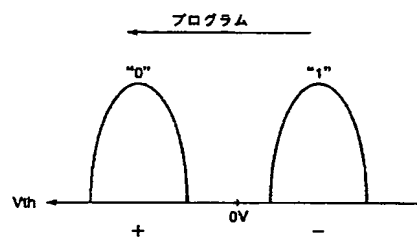
【図3】



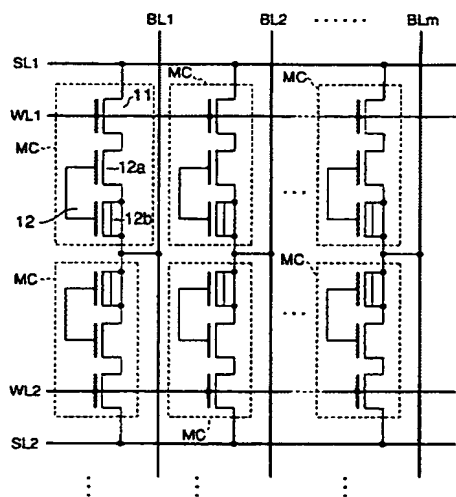
【図4】

	SL	選択WL	選択BL	非選択BL
プログラム	0V	V _{on}	4.5V	0V
消去	7V	7V	0V/1~2V	0V
読み出し	0V	V _{on}	~0.8V	~0.8V

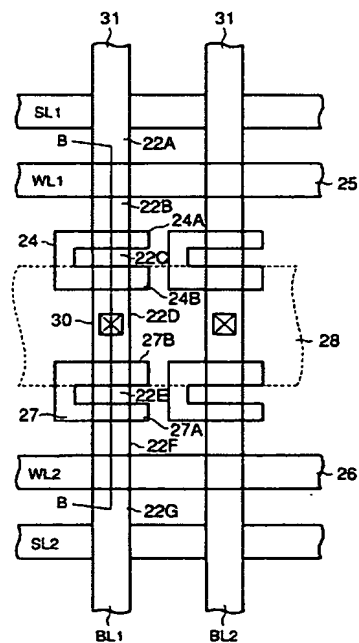
【図5】



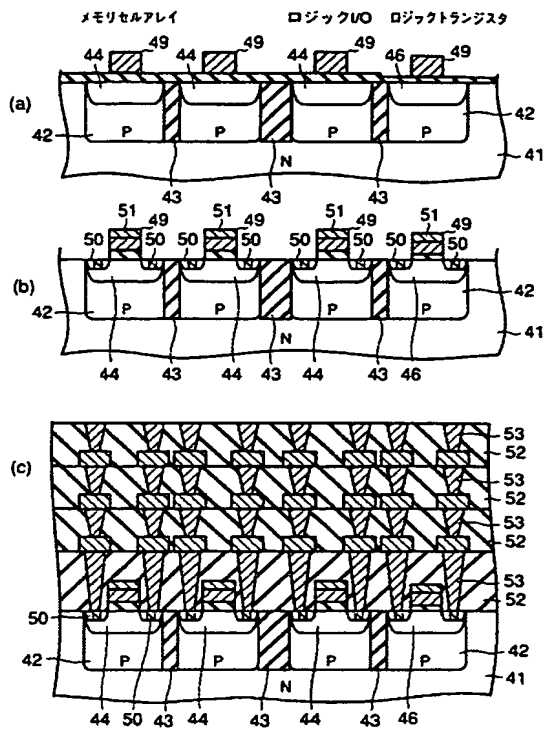
【図6】




【図7】



【图 13】



【図 15】

【 1 6】

フロントページの続き

(51)Int. Cl. ⁷	F I	テーマコード (参考)
H 0 1 L 27/06	G 1 1 C 17/00	6 1 1 E
H 0 1 L 27/088	G 1 1 C 17/00	6 1 2 E
H 0 1 L 27/10	H 0 1 L 29/78	3 7 1
H 0 1 L 27/115	H 0 1 L 27/08	1 0 2 B
H 0 1 L 29/788	H 0 1 L 27/06	1 0 2 A
H 0 1 L 29/792		

(72)発明者 白田 理一郎

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 杉前 紀久子

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 5B025 AA07 AD04 AD05 AD08 AF04
 5F048 AB01 AC01 AC03 AC10 BA01 BB05 BB16 BG01 BG13
 5F083 EP02 EP33 EP34 ER02 ER06 ER16 ER22 LA12 LA16 NA01
 NA08 PR43 PR53 ZA12
 5F101 BA01 BB12 BD22 BE02 BE05 BE07 BH21